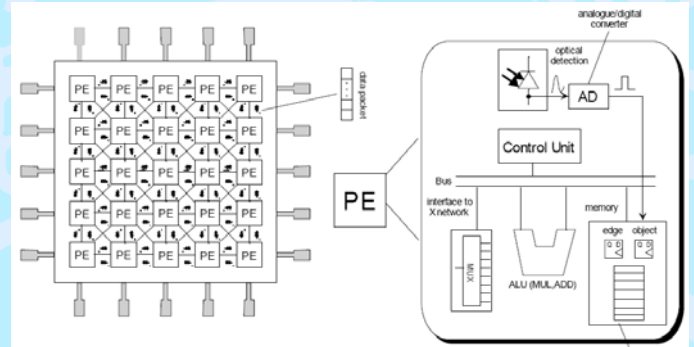
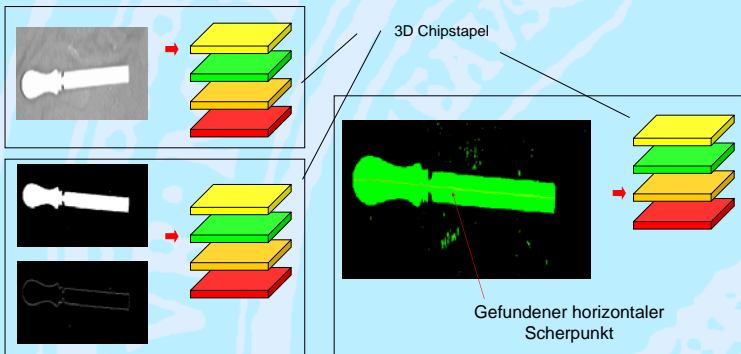


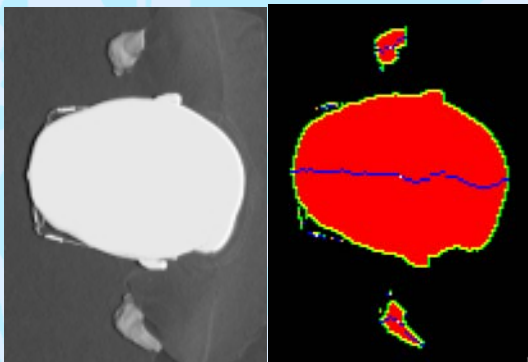
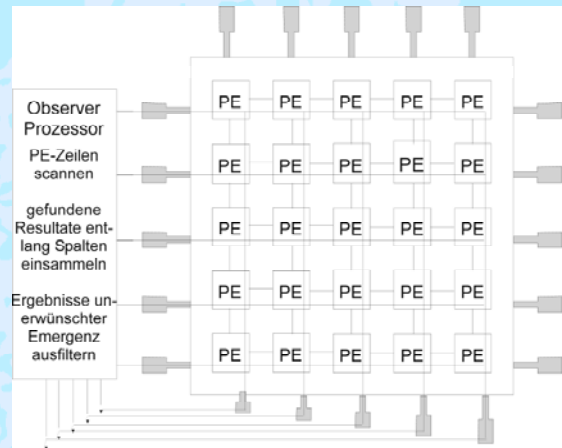
Marching Pixels

Ein Organic Computing Prinzip für smarte Sensor-Prozessor-Felder.

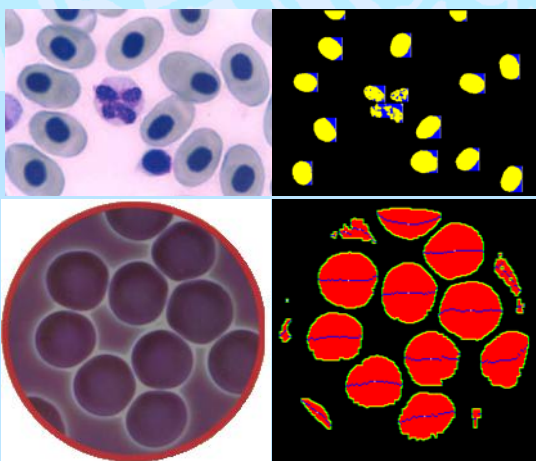
Marching Pixels Architekturen sind ein neuer Ansatz zur schnellen Bildvorverarbeitung in zukünftigen smarten CMOS-Kamera-Chips, die aufgrund der fortschreitenden Hochintegration einmal Hunderttausende einfacher Prozesselemente beinhalten werden. Mit herkömmlichen zentral ausgerichteten Architekturansätzen sind in solchen massivst-parallelen Strukturen sowohl Robustheit als auch harte Realzeit-Anforderungen nicht erreichbar. In dem von der DFG seit August 2005 im Rahmen des DFG-Schwerpunktprogramms „Organic Computing“ geförderten Projekt *Marching Pixels* entwickeln wir neue Verfahren, in denen lebensähnliche Agenten in einem auf Chip-Ebene realisiertem Pixelfeld umherwandern und durch lokale Interaktion und Ausnutzung selbstorganisierender Mechanismen und Emergenz bestimmte Aufgaben erfüllen, wie z.B. das Auffinden des Schwerpunktes und der Lage von Objekten.



- oben: Prozessorfeld mit Prozesselementen + Verbindungen (links) und Detailansicht eines Prozesselements (rechts)
- links: Implementierung der gesamten Architektur als 3D-Chipstapel mit Bildaufnahme in der obersten Schicht, Binarisierung und Kantendetektion in der zweiten Schicht, laufenden Agenten in der dritten Schicht und dem Observer-Prozessor in der letzten Schicht
- unten: Funktionsweise des Observer Prozessors



- Berechnung des Schwerpunktes eines Kopfes mittels Reduktionslinien und Simulation des Ergebnisses mit SWARM 2.2



- oben: Bestimmung der Anzahl und Schwerpunkte von Zellkernen mittels eines von uns als *Flooding* bezeichneten Verfahrens
- unten: dasselbe für rote Blutzellen mittels *Reduktionslinien* mittels sog. *Gaphopping*

Was wurde bisher erreicht?

- Entwicklung einer Toolbox mit verschiedenen Algorithmen, die jeweils optimal auf spezielle Objektformen (z.B. konkav, konvex) anwendbar sind
- Implementierung der Hardware in VHDL und SystemC
- Test und Simulation der Hardware in FPGAs
- alternatives Finden von Algorithmen mittels evolutionärer Algorithmen und genetischer Programmierung
- Vergleich mit einigen klassischen Algorithmen sowohl auf algorithmischer Ebene als auch in Hardware

Vorgesehene Projektziele der nächsten zwei Jahre:

- Erweiterung der Algorithmen-Toolbox
- Hardware-Implementierung Observer Prozessor
- weitere Vergleiche mit klassischen Ansätzen
- Integration von ASoC
- Implementierung der Algorithmen als System-on-Chip z.B. mittels 3D-Chip-Stacks
- Anwendung in Roboter-Such-Szenarien
- Langzeitplan: Einführung in reale, sensitive Produktionsumgebungen

www2.informatik.uni-jena.de/oc

